



FERROELECTRIC STORAGE DEVICE AND ITS MANUFACTURE

Patent number: JP2000164817
Publication date: 2000-06-16
Inventor: SHINOHARA SOTA
Applicant: NIPPON ELECTRIC CO
Classification:
- international: **H01L21/02; H01L21/8246; H01L23/00; H01L27/115; H01L21/02; H01L21/70; H01L23/00; H01L27/115; (IPC1-7): H01L27/10; H01L21/8242; H01L21/8247; H01L27/108; H01L29/788; H01L29/792**
- european: **H01L21/02B3B; H01L21/02B3C; H01L21/8246F6; H01L23/00V; H01L27/115F**
Application number: JP19980339073 19981130
Priority number(s): JP19980339073 19981130

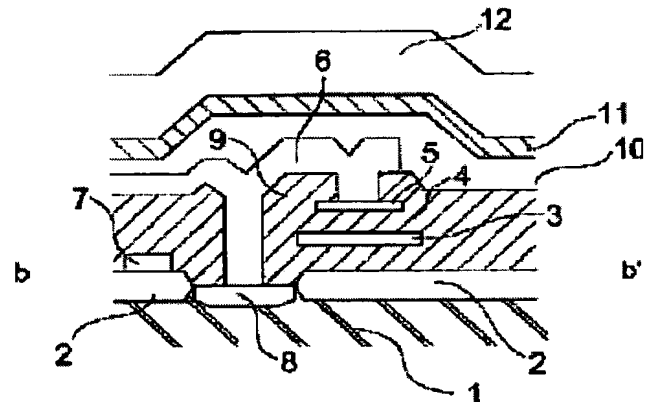
Also published as:

 EP1006581 (A)
 US6495879 (B)

Report a data error he

Abstract of JP2000164817

PROBLEM TO BE SOLVED: To provide a ferroelectric storage device, wherein the deterioration in the ferroelectric capacitance element after silicon nitride film or silicon oxide nitride film is formed is restrained, storage holding characteristic is satisfactory, and the reliability of data rewrite service life is high, and a manufacturing method of the device. **SOLUTION:** This ferroelectric storage device is provided with a ferroelectric capacitance element formed by laminating a lower electrode 3, a ferroelectric film 4 and an upper electrode 5 in this order on semiconductor substrate 1, a wiring layer 6 which is in contact with the upper electrode 5, an interlayer insulating film 10 which is in contact with the wiring layer 6 and formed thereon, and a silicon nitride film (SiNx) or a silicon oxide nitride film (SiOxNy) 12 formed above the interlayer insulating film. A protective film 11, whose main component is iridium(Ir) or iridium oxide (IrO₂), is interposed between the interlayer insulating film and the SiNx film or the SiOxNy film, which are formed as moisture resistant protective films.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164817

(P2000-164817A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 0 1
27/108			6 5 1 5 F 0 8 3
21/8242		29/78	3 7 1
21/8247			
29/788			

審査請求 有 請求項の数 8 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平10-339073

(22) 出願日 平成10年11月30日 (1998. 11. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 篠原 壮太

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096231

弁理士 稲垣 清

Fターム (参考) 5F001 AA17 AD12 AD94 AD95 AF06
AG01 AG03 AC10

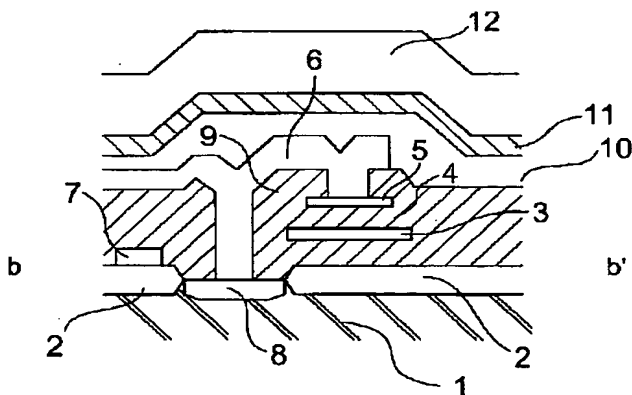
5F083 AD21 AD49 FR02 GA21 JA14
JA15 JA17 JA35 JA36 JA38
JA39 JA40 JA43 JA56 MA06
MA17 NA08 PR03 PR23 PR33

(54) 【発明の名称】 強誘電体メモリ及びその製造方法

(57) 【要約】

【課題】 シリコン窒化膜またはシリコン酸窒化膜形成後の強誘電体容量素子の劣化を抑制し、記憶保持特性が良好でデータ書き換え寿命の信頼性の高い強誘電体メモリ及びその製造方法を提供する。

【解決手段】 本強誘電体メモリは、半導体基板上1に、下部電極3、強誘電体膜4、及び上部電極5を順次積層形成してなる強誘電体容量素子と、前記上部電極と接する配線層6と、該配線層と接して該配線層上に形成された層間絶縁膜10と、該層間絶縁膜より上側に形成されたシリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) 12とを有する。イリジウム (Ir) 又は酸化イリジウム (IrO_2) を主成分とする保護膜11が、前記層間絶縁膜と、耐湿保護膜として形成された前記シリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) との間に介在する。



【特許請求の範囲】

【請求項1】 半導体基板上に、下部電極、強誘電体膜、及び上部電極を順次積層形成してなる強誘電体容量素子と、前記上部電極と接する配線層と、該配線層と接して該配線層上に形成された層間絶縁膜と、該層間絶縁膜より上側に形成されたシリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) とを有する強誘電体メモリにおいて、

イリジウム (Ir) 又は酸化イリジウム (IrO_2) を主成分とする保護膜が、前記層間絶縁膜と、前記シリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) との間に介在することを特徴とする強誘電体メモリ。

【請求項2】 前記保護膜が、酸化イリジウム (IrO_2) の上にイリジウム (Ir) を積層して構成されていることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項3】 半導体基板上に、下部電極、強誘電体膜、及び上部電極を順次積層形成してなる強誘電体容量素子と、前記上部電極と接する配線層と、該配線層と接して該配線層上に形成された層間絶縁膜と、該層間絶縁膜より上側に形成されたシリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) とを有する強誘電体メモリにおいて、

ルテニウム (Ru) 又は酸化ルテニウム (RuO_2) を主成分とする保護膜が、前記層間絶縁膜と、前記シリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) との間に介在することを特徴とする強誘電体メモリ。

【請求項4】 前記保護膜が、酸化ルテニウム (RuO_2) の上にルテニウム (Ru) を積層して構成されていることを特徴とする請求項3に記載の強誘電体メモリ。

【請求項5】 半導体基板上に、下部電極、強誘電体膜、及び上部電極を順次積層形成してなる強誘電体容量素子と、前記上部電極と接する配線層と、該配線層と接して該配線層上に形成された層間絶縁膜と、該層間絶縁膜より上側に形成されたシリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) とを有する強誘電体メモリにおいて、

アルミナ (Al_2O_3) を主成分とする保護膜が、前記層間絶縁膜と、前記シリコン窒化膜 (SiN_x)、又はシリコン酸窒化膜 (SiO_xN_y) との間に介在することを特徴とする強誘電体メモリ。

【請求項6】 前記保護膜が、セルアレイ領域のみに存在し、その他の領域には存在しないことを特徴とする請求項1から5のうちのいずれか1項に記載の強誘電体メモリ。

【請求項7】 半導体基板上に、下部電極、上部電極、及び、該上部電極と該下部電極の間に挟まれた強誘電体膜を有する強誘電体容量素子を形成する工程と、該強誘電体容量素子上に容量カバー膜を形成する工程

と、

該容量カバー膜に前記上部電極に通じるコンタクトホールを設ける工程と、

該コンタクトホール内で前記上部電極と接し、タングステンシリサイド (WSi_x) を最下層とする配線層を形成する工程と、

該配線層の上に層間絶縁膜を形成する工程と、

該層間絶縁膜の上にイリジウム (Ir)、酸化イリジウム (IrO_2)、ルテニウム (Ru)、酸化ルテニウム (RuO_2)、アルミナ (Al_2O_3) のうちの少なくともいずれかの材料を主成分とする保護膜を形成する工程と、

該保護膜の上に、シリコン窒化膜 (SiN_x) 又はシリコン酸窒化膜 (SiO_xN_y) を形成する工程とを有することを特徴とする強誘電体メモリの製造方法。

【請求項8】 前記保護膜を、スパッタリング法によって、基板温度 200°C 以下で形成することを特徴とする請求項7に記載の強誘電体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体メモリ及びその製造方法に関し、特に半導体基板上に形成された記憶を保持するための強誘電体容量素子とメモリセル・トランジスタとを備えた強誘電体メモリに関するものである。

【0002】

【従来の技術】 近年、自発分極特性を有する強誘電体膜を容量絶縁膜とする強誘電体メモリの技術開発が活発に行われている。強誘電体メモリは、半導体基板上に形成された強誘電体容量素子の分極状態を利用することで情報を記憶することを特徴とするものである。

【0003】 図13は強誘電体メモリを構成する単位メモリセルの一例の平面図で、図14はこのメモリセルの等価回路図である。メモリセルMCは、電界効果トランジスタ T_r と該トランジスタのソース・ドレインの一方に接続された強誘電体容量素子 C_f によって構成されており、該トランジスタ T_r のソース、ドレインの他方はビット線BLに、また該トランジスタ T_r のゲート電極はワード線WLに、強誘電体容量素子 C_f の他方の電極はプレート線PLに接続されている。メモリセルMCをマトリックス状に配列することにより、大規模不揮発性メモリを構成することができる。

【0004】 次に、強誘電体メモリの動作について説明する。強誘電体は図15に示すような印加電圧の履歴に依存した分極値を示す。今、図14に示すメモリセルにおいて、ワード線WLとビット線BLとに電圧 V_{cc}

(たとえば 5V) を印加し、プレート線PLに 0V を印加すると、強誘電体容量素子 C_f の分極状態は、Aとなる。ただし図15では、プレート線側を正 (+) の方向とした。この状態で、ビット線BLのみを 0V に落とす

と、強誘電体容量素子 C_f の分極状態は B となる。この状態をたとえば "1" に対応させると、メモリセル MC には "1" が書き込まれたことになる。また、ワード線 WL とプレート線 PL とに電圧 V_{cc} を印加し、ビット線 BL に 0 V を印加すると、強誘電体容量素子 C_f の分極状態は C となる。この状態からプレート線 PL の電圧を 0 V に落とすと、強誘電体容量素子 C_f の分極状態は D となる。これによりメモリセルにはたとえば "0" が書き込まれたことになる。印加電圧 0 における分極状態、すなわち D と B の状態における分極値の差（残留分極値と称する）が大きいことが、強誘電体メモリ素子としての記憶保持特性や書き換え疲労耐性等の信頼性を向上する上で好ましい。

【0005】次に、上記メモリセルの構造について説明する。図13の点線 aa' に沿った断面図が図16、点線 bb' に沿った断面図が図17である。図13、図16、図17に示すように、p型シリコン基板1の表面領域内にソース・ドレイン n^+ 拡散層8が形成され、p型シリコン基板上にゲート絶縁膜を介してゲート電極7が形成され、これによりセルトランジスタである電界効果トランジスタが構成されている。主として Al で構成されたビット線は、電界効果トランジスタの一方のソース・ドレイン拡散層8に接続されている。電界効果トランジスタ上には層間絶縁膜をはさんで、下部電極3、強誘電体膜4、上部電極5によって構成される強誘電体容量素子が形成されている。強誘電体容量素子は、シリコン酸化膜などで構成される容量カバー膜9で覆われている。

【0006】1998年に米国開催の International Symposium on Integrated Ferroelectrics の予稿集に記載されているように、強誘電体メモリ製造中の熱による強誘電体膜構成元素の揮発や、容量カバー膜成膜中に発生する水素の悪影響から強誘電体膜を保護する目的で、アルミナ (Al_2O_3) が強誘電体容量素子と接して、容量カバー膜9と強誘電体容量素子との間に挿入される構造も知られている。上部電極5は、配線層6によって電界効果トランジスタの他方のソース・ドレイン拡散層8に接続されている。本従来例では、ワード線 WL は電界効果トランジスタのゲート電極を兼ねており、プレート線 PL は、強誘電体容量素子の下部電極3を兼ねている。強誘電体膜4は、 $PZT[(Pb, La)(Zr, Ti)O_3]$ 、または $SBT[SrBi_2(Nb, Ta)_2O_9]$ 等を用いて形成される。

【0007】強誘電体膜は、通常、酸化雰囲気中で形成され、また強誘電体膜形成後に強誘電体膜安定化のために酸素雰囲気中のアニールが必要となることが多いため、下部電極および上部電極としては、耐酸化性の貴金属（たとえば Pt、Ir）、あるいは導電性酸化物（たとえば IrO_2 、 RuO_2 ）が用いられる。配線層6としては、微細加工の容易さや、Si や SiO_2 との密着性

に優れること、低抵抗率であることなどが求められ、 WSi_2 、TiN、Al を用いた多層膜が用いられる。

【0008】Al は微細加工性、耐腐食性、低抵抗率であることから、配線材として広く用いられるが、拡散層において Al と Si が接触していると、熱処理時に Si が Al 中に拡散し、拡散層と半導体基板との pn 接合を破壊する場合がある。そこで、Al と Si の相互拡散を防ぐバリア膜として TiN がしばしば用いられる。また TiN の下には WSi_2 を形成し、たとえば下層から順に WSi_2 、TiN、Al を積層した多層膜とすることが行われている。TiN は、Si や SiO_2 との密着性に劣り、Si との接触抵抗が高いことに加え、特開平10-095846号公報にあるように、 WSi_2 は、配線層形成後の強誘電体分極特性劣化を抑制する作用を有するためである。

【0009】配線層6上には、シリコン酸化膜などの層間絶縁膜10を堆積させ、続いて特開平4-15957号公報にあるように、耐湿保護膜11として、シリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) を形成する。シリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) は、空気中に含まれる水分から Al を主体としてなる配線層を保護し、水分によって配線層が腐食されるのを防止する働きを有するためである。

【0010】次に、図17に示す従来例のメモリセルの製造方法を図面を参照しながら説明する。図18(a)～(c)は、従来のメモリセルの製造工程における断面図である。メモリセルトランジスタ等の半導体集積回路を埋め込んだシリコン基板上に形成された層間絶縁膜上に、下部電極3、および上部電極5、強誘電体膜4とする強誘電体容量素子を形成し、この上に容量カバー膜9を形成する(図18(a))。次に図18(b)に示すように、容量素子の上部電極、電界効果トランジスタの拡散層に通じるコンタクトホールを形成する。続いて電界効果トランジスタの一方の拡散層と容量素子の上部電極を電氣的に接続する配線層6とビット線を形成する。その後、配線層の上に、層間絶縁膜10、および耐湿保護膜12として、プラズマ CVD 法によって、シリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) を形成する(図18(c))。

【0011】

【発明が解決しようとする課題】ところが、上記プラズマ CVD 法によって、基板温度 300℃ 程度でシリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) を形成すると、強誘電体の残留分極値が大きく減少するという問題があった。この原因としては、シリコン酸窒化膜等を形成後、室温に降温すると、強誘電体に引っ張りの熱応力が加わるためであると推察される。

【0012】そもそも、強誘電体膜に電圧を加えなくても、膜中に分極が残留するのは、結晶のひずみによる力

が残留分極を打ち消そうとするクーロン力に抵抗するためである。したがって、一般に強誘電体膜の分極特性は強誘電体膜に加わる応力の影響を受けて変化することが知られている。

【0013】プラズマCVD法によるシリコン酸窒化膜等を形成後に強誘電体に引っ張りの熱応力が加わることは以下のようにして理解できる。プラズマCVD法によるシリコン酸窒化膜等形成のために、基板温度を300℃に昇温すると、配線層および強誘電体膜は熱膨張する。配線層は金属であり、一般に酸化物強誘電体よりも高い熱膨張率を有するので、この時点で強誘電体には、配線によって引っ張り応力が加えられることになる。このあと、シリコン酸窒化膜等を堆積させた後に降温を始めると、配線層は収縮が始めるが、シリコン酸窒化膜等は配線層より熱膨張率が小さいため、配線層の収縮を妨げる。

【0014】したがって、室温に降温しても、強誘電体には配線層によって与えられた引っ張りの熱応力が残留することになる。シリコン酸窒化膜等を形成後の強誘電体膜の残留分極値の減少は、このように生じた強誘電体に対する引っ張り応力が原因になっていると推察される。強誘電体膜の残留分極値が減少すると、不揮発性メモリとしての記憶保持特性、データ書き換え寿命を著しく劣化させる。

【0015】本発明は、シリコン窒化膜またはシリコン酸窒化膜形成後の強誘電体容量素子の劣化を抑制し、記憶保持特性が良好でデータ書き換え寿命の信頼性の高い強誘電体メモリ及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明に係る強誘電体メモリは、半導体基板上に、下部電極、強誘電体膜、及び上部電極を順次積層形成してなる強誘電体容量素子と、前記上部電極と接する配線層と、該配線層と接して該配線層上に形成された層間絶縁膜と、該層間絶縁膜より上側に形成されたシリコン窒化膜(SiN_x)、又はシリコン酸窒化膜(SiO_xN_y)とを有する強誘電体メモリにおいて、イリジウム(Ir)又は酸化イリジウム(IrO_2)を主成分とする保護膜が、前記層間絶縁膜と、前記シリコン窒化膜(SiN_x)、又はシリコン酸窒化膜(SiO_xN_y)との間に介在することを特徴としている。

【0017】保護膜は、酸化イリジウム(IrO_2)の上にイリジウム(Ir)を積層して構成されていても、ルテニウム(Ru)又は酸化ルテニウム(RuO_2)を主成分とするものでも、酸化ルテニウム(RuO_2)の上にルテニウム(Ru)を積層して構成されていても、アルミナ(Al_2O_3)を主成分とするものでも良い。

【0018】上記のような残留分極値の減少は、シリコン窒化膜(SiN_x)またはシリコン酸窒化膜(SiO

$x\text{N}_y$)が引き起こす応力の伝達を遮断することにより抑制できる。これは、シリコン窒化膜(SiN_x)またはシリコン酸窒化膜(SiO_xN_y)と、配線層との間に、外部から応力を受けても変形されにくい高弾性率材料、すなわち硬い材料を形成することで実現される。岩波理化学辞典第4版に記載があるように、イリジウム(Ir)のヤング率としては、 $5.3 \times 10^{11} \text{N/m}^2$ との値が報告されており、これはたとえばアルミニウム(Al)のヤング率である $7.05 \times 10^{10} \text{N/m}^2$ よりも遙かに大きく、非常に硬い材料の一つである。

【0019】イリジウム(Ir)の酸化物である酸化イリジウム(IrO_2)、ルテニウム(Ru)、酸化ルテニウム(RuO_2)、およびアルミナ(Al_2O_3)も同程度に硬い材料である。配線層よりも熱膨張率が小さく、かつ弾性率が著しく大きいイリジウム(Ir)、酸化イリジウム(IrO_2)、ルテニウム(Ru)、酸化ルテニウム(RuO_2)、およびアルミナ(Al_2O_3)は、シリコン酸窒化膜等が配線層を介して強誘電体に与える熱応力を抑制する性質を有する。

【0020】したがって、容量素子の上部電極と電気的に接続された配線層と、シリコン窒化膜(SiN_x)またはシリコン酸窒化膜(SiO_xN_y)との間に、イリジウム(Ir)、酸化イリジウム(IrO_2)、ルテニウム(Ru)、酸化ルテニウム(RuO_2)、およびアルミナ(Al_2O_3)の少なくともいずれかの材料を主成分とする保護膜を形成することによって、上記残留分極値の減少は抑制できる。

【0021】すなわち、本発明の強誘電体メモリは、半導体基板と、該半導体基板上に設けられた強誘電体容量素子を有し、該強誘電体容量素子は、下部電極と、上部電極と、該上部電極および該下部電極の間に挟まれた強誘電体膜を含み、該上部電極上には上部電極と接する配線層が存在し、該配線層上には、該配線層に接する層間絶縁膜が存在し、該層間絶縁膜より上側には、イリジウム(Ir)、酸化イリジウム(IrO_2)、ルテニウム(Ru)、酸化ルテニウム(RuO_2)、およびアルミナ(Al_2O_3)の少なくともいずれかの材料を主成分とする保護膜が形成されており、前記保護膜上にはシリコン窒化膜(SiN_x)またはシリコン酸窒化膜(SiO_xN_y)膜が形成されていることを特徴とする。

【0022】また、本発明の強誘電体メモリの製造方法は、半導体基板上に、下部電極、上部電極、及び、該上部電極と該下部電極の間に挟まれた強誘電体膜を含む強誘電体容量素子を形成する工程と、該強誘電体容量素子上に容量カバー膜を形成する工程と、該容量カバー膜に前記上部電極に通じるコンタクトホールを設ける工程と、該コンタクトホール内で前記上部電極と接し、タンダステンシリサイド(WSi_x)を最下層とする配線層を形成する工程と、該配線層の上に層間絶縁膜を形成する工程と、該層間絶縁膜の上にイリジウム(Ir)、酸

化イリジウム (IrO_2)、ルテニウム (Ru)、酸化ルテニウム (RuO_2)、アルミナ (Al_2O_3) のうちの少なくともいずれかの材料を主成分とする保護膜を形成する工程と、該保護膜の上に、シリコン窒化膜 (SiN_x) 又はシリコン酸窒化膜 (SiO_xN_y) を形成する工程とを有することを特徴としている。

【0023】層間絶縁膜の上に保護膜を成膜する際には、イリジウム (Ir)、酸化イリジウム (IrO_2)、ルテニウム (Ru)、酸化ルテニウム (RuO_2)、アルミナ (Al_2O_3) の少なくともいずれかの材料を主成分とする保護膜を、スパッタリング法によって 200°C 以下の低温で形成する。

【0024】

【発明の実施の形態】以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例

本実施形態例は、本発明に係る強誘電体メモリの実施形態の一例であって、図1は本実施形態例の強誘電体メモリの平面図、図1のa-a'断面図を図2に、図1のb-b'断面図を図3にそれぞれ示す。この強誘電体メモリは、半導体基板1と該半導体基板上に設けられた強誘電体容量素子およびメモリセルトランジスタと、前記強誘電体容量素子上に設けられた SiO_2 等の容量カバー膜9とを有し、前記強誘電体容量素子は、下部電極3、上部電極5、およびこれらに挟まれた強誘電体膜4を含んでいる。容量カバー膜9には上部電極5に通じるコンタクトホールが設けられ、このコンタクトホールを通して前記強誘電体容量素子と前記メモリセルトランジスタとが配線層6によって電気的に接続されている。

【0025】配線層6上には層間絶縁膜10が形成される。層間絶縁膜10上には保護膜11が形成される。保護膜11上には、耐湿保護膜12が形成される。下部電極3に用いられる材料としては、Pt、Ir、Ru等の貴金属、あるいは IrO_2 、 RuO_2 等の導電性酸化物があげられる。強誘電体膜としては、(Pb , La) (Zr , Ti) O_3 または SrBi_2 (Nb , Ta) $_2\text{O}_9$ が常温で強誘電体メモリとしての動作に必要な残留分極が得られるため好ましい。

【0026】上部電極5は、 IrO_2 の上にIrまたはPtを積層して構成することが、好ましい。強誘電体膜と接する上部電極材料を IrO_2 とすると、強誘電体膜の疲労特性が改善され、配線層と接する上部電極材料をIrまたはPtとすると、配線層と上部電極との間の接触抵抗を低減できるからである。配線層6としては、 WSi_x を用いることが望ましい。あるいは低抵抗率であるAlを配線層6として利用する場合には、TiNをAl下のバリア膜として用い、 WSi_x をTiNの下層に用いる構造、すなわち下層から WSi_x 、TiN、Al、TiNとする配線構造が好ましい。特開平10-

095846号公報にあるように、 WSi_x は、Siとの接触抵抗の低減、 SiO_2 との密着性向上、配線層形成後の加熱工程における強誘電体分極特性劣化防止のために必要となるからである。最上層のTiNは反射防止膜である。

【0027】また、本実施の形態におけるビット線は、図1、図2に示すように、配線層6によって形成される。層間絶縁膜10としては、シリコン酸化膜等が用いられる。保護膜11は、Ir、 IrO_2 、Ru、 RuO_2 、 Al_2O_3 のうち1つ以上の材料を主成分として構成される。耐湿保護膜12としては、シリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) が用いられる。強誘電体メモリ製造中の熱による強誘電体膜構成元素の揮発や、容量カバー膜成膜中に発生する水素の悪影響から強誘電体膜を保護する目的で、アルミナ (Al_2O_3) を強誘電体容量素子と接して、容量カバー膜9と強誘電体容量素子との間に挿入する構造も知られている。

【0028】本発明の強誘電体メモリで用いられる保護膜11は、シリコン窒化膜 (SiN_x) またはシリコン酸窒化膜 (SiO_xN_y) が、配線層6を介して強誘電体膜に与える応力を抑制するためのものである。このため本発明の保護膜11は、強誘電体容量素子の上部電極と接する配線層6と、耐湿保護膜12との間に挿入しなければならない。前記従来例のように Al_2O_3 を強誘電体容量素子と接して、容量カバー膜9と強誘電体容量素子との間に挿入しても本発明の効果は得られず、したがって本発明は前記従来例とは異なる。

【0029】2層以上の多層配線を有するLSIを製造する場合には、強誘電体容量素子上をAl、 WSi_x 、Ti、TiN等を主体とする配線層によって覆うことは容易である。しかし、本発明の保護膜11には、その弾性率が配線層6の材料よりも大きいことが求められる。このため、保護膜11をAl、 WSi_x 、Ti、TiN等の従来の配線材料を主体として構成しても、本発明の効果は全く得られないどころか、強誘電体膜の分極特性はかえって劣化することを発明者らは実験によって確認している。

【0030】以上のことから、本発明の保護膜11は、Ir、 IrO_2 、Ru、 RuO_2 、または Al_2O_3 の少なくともいずれかの材料を主成分として構成しなければならない。かつ本発明の保護膜11は、強誘電体容量素子の上部電極と接する配線層6と、耐湿保護膜12との間に挿入しなければならない。

【0031】次に本実施の形態の強誘電体メモリの製造方法について、図4に示す工程断面図を用いて説明する。図4の断面は図1のb-b'断面である。まず、通常のMOSトランジスタの工程によりトランジスタを形成した後に、層間絶縁膜としてシリコン酸化膜を形成する(図4(a))。この後、強誘電体容量素子を以下の

方法で形成する。まずシリコン酸化膜上に下部電極3を形成し、その上に強誘電体膜4を形成する。下部電極は、通常スパッタリング法により形成される。強誘電体膜4としては、 $(Pb, La)(Zr, Ti)O_3$ または $SrBi_2(Nb, Ta)_2O_9$ が、スパッタリング法、ゾル・ゲル法、CVD法等により形成される。

【0032】次に容量素子の上部電極5をスパッタリング法等により形成してから上部電極のみパターニングを行う(図4(b))。続いて、強誘電体膜/下部電極のパターニングを行う(図4(c))。容量カバー膜9としてシリコン酸化膜などをCVD法によって堆積させた後、上部電極5、下部電極3に通じるコンタクトホール6を形成し(図4(d))、さらに、拡散層に通じるコンタクトホールを形成する(図4(e))。次いで、配線層6として、 WSi_x をスパッタリング法、CVD法等により形成した後、パターニングを行う。あるいは WSi_x 上に、アルミニウム(A1)または窒化チタン(TiN)を主成分とする材料をスパッタリング法、CVD法等により積層形成した後、パターニングを行う(図4(f))。

【0033】さらに、その上に層間絶縁膜10として、シリコン酸化膜等を堆積させる。層間絶縁膜10の上に保護膜11を形成する。保護膜11は、それ自身が強誘電体膜に熱応力を与え、強誘電体膜の分極特性を劣化させるのを避けるため、なるべく低温で形成するのが望ましい。したがってスパッタリング法によって200℃以下で形成する。保護膜11の上には、耐湿保護膜12がCVD法によって形成される(図4(g))。

【0034】第2の実施の形態

本発明の第2の実施の形態の断面図を図5に示す。本実施の形態では、強誘電体容量の下部電極3がポリシリコンプラグ13を通じて拡散層8に接続されており、上部電極5はプレート線として動作する配線層6に接続されている。配線層6上には、層間絶縁膜10が形成される。層間絶縁膜10上には保護膜11が形成され、さらにその上に耐湿保護膜12が形成される。

【0035】配線層6としては WSi_x を用いることが望ましい。あるいは低抵抗率であるA1を配線層6として利用する場合には、TiNをA1とSiの間のバリア膜として用い、 WSi_x をTiNの下層に用いる構造、すなわち下層から WSi_x 、TiN、A1、TiNとする配線構造が好ましい。上部電極5としては IrO_2 上にIrまたはPtを積層した構造とすることが、上部電極と配線層が安定な界面を形成することができ、かつ良好な容量特性が得られるため好ましい。

【0036】層間絶縁膜10としては、シリコン酸化膜等が用いられる。保護膜11は、 Ir 、 IrO_2 、 Ru 、 RuO_2 、 Al_2O_3 のうち1つ以上の材料を主体として構成される。耐湿保護膜12としては、シリコン窒化膜(SiN_x)またはシリコン酸化窒化膜(Si

O_xN_y)膜が用いられる。

【0037】第3の実施の形態

本発明の第3の実施の形態を図6に示す。本実施の形態では、周辺回路領域で第2配線15が用いられている。第2配線15はアルミニウム(A1)等を主成分として構成される。図6に示す実施の形態では、保護膜11は、第2配線より上の層である層間絶縁膜14上に形成されている。保護膜11は、強誘電体容量素子の上部電極5の上側に存在する配線層6と、耐湿保護膜12との間ならどこに存在してもよい。したがって図7に示すような位置に挿入してもよい。

【0038】本発明の保護膜11は、強誘電体容量を保護するためのものであるから、強誘電体メモリセルアレイ上にのみ存在すればよい。保護膜11が、導電体である Ir 、 IrO_2 、 Ru 、 RuO_2 を主成分として構成される場合には、端子引き出し用のパッド間の電氣的短絡を防止するため、図6、図7に示すように、メモリセルアレイ以外の領域の保護膜11は、RIE法等によって除去することが好ましい。

【0039】本実施の形態のような、2層以上の配線を用いる場合、強誘電体メモリとCPUなどのロジック回路が同一チップ内に混載されることがある。ロジック回路が混載される場合のチップレイアウトの一例を図8に示す。図8では、1つのチップ内に強誘電体メモリセルアレイ領域とこれを制御するための周辺回路領域、およびロジック回路領域がレイアウトされている。本実施の形態では、上記の理由により保護膜11は、図8における強誘電体メモリセルアレイ上にのみ存在する。

【0040】以下に、実施例を挙げ、添付図面を参照して、本発明を具体的かつ詳細に説明する。

実施例1

図1は本発明の実施例を示す平面図で、図1のa-a'断面図を図2に、図1のb-b'断面図を図3にそれぞれ示す。半導体基板上に作り込まれた電界効果トランジスタ上に形成された層間膜の上に下部電極3として下層からTi、Pt、強誘電体膜4として $Pb_{1-15}Zr_{0.4}Ti_{0.6}O_3$ 、上部電極5として下層から順に IrO_2 、Irを有する強誘電体容量素子が形成されている。Ir O_2 上にIrを積層しているのは、上部電極に接する配線材が IrO_2 によって酸化されて上部電極と配線層との接触抵抗が増大するのを防止するためである。強誘電体容量素子は容量カバー膜9によって覆われている。容量カバー膜9としてはシリコン酸化膜が用いられる。

【0041】電界効果トランジスタと強誘電体容量素子を電氣的に接続するため、およびビット線を形成するために、電界効果トランジスタの拡散層8と強誘電体容量素子の上部電極5に通じるコンタクトホールが形成されている。電界効果トランジスタの一方の拡散層8と強誘電体容量素子の上部電極5とは、前記コンタクトホールを通して配線層6によって電氣的に接続されている。ま

た電界効果トランジスタの他方の拡散層8はビット線に接続されている。配線層6はビット線も構成する。

【0042】配線層6は、下層から順に $WSi_{2.4}$ 、 TiN 、 Al 、 TiN が用いられている。下層から2番目の TiN は Al と Si との相互拡散を防ぐためのバリア膜である。 $WSi_{2.4}$ は SiO_2 との密着性に優れ、 Si との接触抵抗を低減できる利点を有し、さらに特開平10-095846号公報にあるように、 $WSi_{2.4}$ は配線層形成後の強誘電体容量素子の分極特性劣化を抑制する働きを有する。最上層の TiN は反射防止膜である。配線層6上には層間絶縁膜10が形成される。層間絶縁膜10上には保護膜11が形成される。保護膜11上には、耐湿保護膜12が形成される。層間絶縁膜10としては、シリコン酸化膜が用いられる。保護膜11は、下層から IrO_2 、 Ir を積層して構成される。耐湿保護膜12としてはシリコン酸窒化膜($SiON$)が用いられる。

【0043】本実施例における強誘電体メモリの製造方法を図4を参照しながら説明する。従来のLSI (Large Scale Integrated circuit) 製造プロセスに従って、p型半導体基板上にゲート電極、拡散層等からなる電界効果トランジスタを作製し、半導体基板上全体にLPCVD (Low Pressure Chemical Vapor Deposition) 法によって SiO_2 膜を堆積したのち、CMP (Chemical Mechanical Polishing) 法によって半導体基板表面を平坦化する(図4(a))。

【0044】下部電極3と下地 SiO_2 との密着層として膜厚20nmの Ti 、下部電極3として膜厚200nmの Pt をDCスパッタリング法によって成膜する。その後、ゾルゲル法によって厚さ300nmのPZT ($Pb_{1.15}Zr_{0.4}Ti_{0.6}O_3$)膜4を形成する。PZT膜の出発原料としては、 $Pb(CH_3COOCH_3COO)_2$ 、 $Zr(OC_2H_5)_4$ 、 $Ti(i-OC_3H_7)_4$ の混合溶液を用いた。混合溶液中の Pb の濃度は0.6mol/lである。この混合溶液を Pt 上にスピコートした後、窒素雰囲気中250℃で9分間乾燥させ、さらに酸素雰囲気中600℃で10分間焼成を行う。スピコートから焼成までを3回繰り返すことで厚さ300nmのPZT膜を形成できる。

【0045】その後、膜厚50nmの IrO_2 、膜厚100nmの Ir を順に堆積し、フォトレジストをマスクとして、上部電極5のパターンに Ir/IrO_2 (下層から順に IrO_2 、 Ir が積層していることを示す。以下、同様)を加工する(図4(b))。さらに、フォトレジストをマスクとして、下部電極4のパターンに $PZT/Pt/Ti$ を加工する(図4(c))。

【0046】次に、 O_3-TEOS CVD法によって容量カバー膜9として半導体基板全面に厚さ400nmの SiO_2 膜を堆積させ、強誘電体容量素子の上部電極5、および下部電極3に通じるコンタクトホールを、フ

ォトレジストをマスクとし、 CF_4 をエッチングガスとするRIE (Reactive Ion Etching) 法によって形成する(図4(d))。コンタクトホール形成後、コンタクトホールエッチング時に強誘電体容量素子に加わったダメージを除去するため、酸素雰囲気中600℃で10分間アニールする。

【0047】続いてトランジスタの拡散層8に通じるコンタクトホールを、 CHF_3 をエッチングガスとするRIE法で形成する(図4(e))。その後、配線層6として下層から厚さ50nmの $WSi_{2.4}$ をDCスパッタリング法で堆積させる。上部電極として形成した Ir は酸素雰囲気中600℃程度でアニールしてもほとんど酸化されないが、 Ir の表面がわずかに酸化されている。

【0048】 Ir は酸化されても導電体であるため、酸化された Ir それ自体がコンタクト導通不良の原因とはならないが、上部電極の Ir 表面がアニールにより酸化されていると、配線層6を成膜後、 Ir に接した $WSi_{2.4}$ が後工程の熱処理により酸化され、 $Ir/WSi_{2.4}$ 界面の抵抗が高くなる問題を生じる。この問題を回避するため $WSi_{2.4}$ を堆積させる前に CHF_3 等の反応性ガスによるドライエッチングにより Ir 表面層をエッチングすることが好ましい。 $WSi_{2.4}$ の堆積に続いて Ar と N_2 の混合ガスをを用いて Ti の反応性スパッタを行うことで、膜厚100nmの TiN を堆積させる。

【0049】さらに、その上に膜厚550nmの Al 、反射防止膜として膜厚30nmの TiN を堆積させる。続いて、フォトレジストをマスクとし、 Cl_2 をエッチングガスとするRIE法によって配線層6を加工する(図4(f))。続いて、 O_3-TEOS CVD法によって層間絶縁膜10として半導体基板全面に厚さ400nmの SiO_2 膜を堆積させ、さらに保護膜11として、DCスパッタリング法によって膜厚50nmの IrO_2 、膜厚100nmの Ir を順に堆積する。スパッタ時に基板加熱は行わない。

【0050】この保護膜11はメモリセルアレイ領域以外は不要であり、端子引き出しパッド間での電氣的短絡を防止するため、保護膜11のメモリセルアレイ領域以外の部分はRIE法によって除去することが好ましい。その後、耐湿保護膜12として、基板温度300℃、 SiH_3 、 NH_3 、 N_2O を原料ガスとする平行平板を用いたプラズマCVD法によって膜厚1μmの $SiON$ 膜を形成する(図4(e))。

【0051】発明者らは、こうして耐湿保護膜形成までを終えた強誘電体メモリに対し、PZT容量のスイッチングチャージを観測する実験を行った。本発明の効果を調べるため、保護膜11を形成しない強誘電体メモリも作製し、同様の実験を行った。スイッチングチャージとは、図9における強誘電体容量素子の反転電荷量および非反転電荷量を指す。反転電荷量と非反転電荷量の差である残留分極値が大きいほど、強誘電体メモリの記憶保

特特性が優れるため、強誘電体容量素子にとって好ましい特性と言える。

【0052】スイッチングチャージは強誘電体容量素子の上部電極と下部電極間に図10に示すようなパルス列を印加することで測定した。第1のパルスで強誘電体容量素子の分極状態を図9のBの状態にし、第2のパルスで反転電荷量を測定すると同時に図9のDの状態にしている。そして第3のパルスで非反転電荷量を測定する。印加パルス幅は $3\mu\text{s}$ 、パルス間隔は 1s である。測定に用いたPZT容量の上部電極は縦 $3\mu\text{m}$ 、横 $3\mu\text{m}$ の正方形に加工されており、測定においては雑音の影響を減らすため、同サイズの容量を1122個並列にして測定を行った。

【0053】図11に、保護膜11（本実施例では Ir/IrO_2 で構成）を有する試料と、有しない試料それぞれのウェハ面内5カ所で測定したPZT容量の反転電荷量と非反転電荷量との差、すなわち残留分極値を縦軸にとって示す。保護膜11を有しない試料では、残留分極値は $10\sim 11\mu\text{C}/\text{cm}^2$ 程度であるのに対し、保護膜11を有する試料では残留分極値は $30\mu\text{C}/\text{cm}^2$ 程度であり、保護膜11の形成によって、残留分極値は著しく増大している。

【0054】耐湿保護膜12は、RFスパッタリング法等によって低温で形成すれば強誘電体分極特性劣化を引き起こすことはないと予測される。しかし、耐湿保護膜には空気中の水分から配線層を保護する働きが求められ、したがって従来のプラズマCVD法によって得られる緻密な膜質が求められる。本発明のような保護膜を形成することで、従来のプラズマCVD法によって耐湿保護膜の形成を行っても、強誘電体分極特性劣化を大幅に抑制できる。

【0055】実施例2

本発明の第2の実施例を図面を参照して説明する。本実施例では図3における保護膜11を厚さ 100nm の Al_2O_3 としている。 Al_2O_3 は、半導体基板を室温に冷却し、RFスパッタリング法によって形成した。第1の実施例と同様にして形成した 33m^2 の大きさの強誘電体容量に対し、スイッチングチャージを測定した。図12はウェハ面内5カ所の容量について測定した結果をプロットしたものである。図12に示すように、保護膜11を Al_2O_3 とすると、耐湿保護膜形成後の残留分極値は $15\mu\text{C}/\text{cm}^2$ 程度で、保護膜のない場合よりも改善されている。

【0056】

【発明の効果】本発明の第1の効果は、強誘電体メモリの信頼性向上である。その理由は、シリコン窒化膜またはシリコン酸窒化膜形成プロセスによって引き起こされる強誘電体容量素子の残留分極値の低下が抑制されるため、データ書き換え寿命や記憶保持特性が向上するからである。本発明の第2の効果は、強誘電体メモリの製造

における歩留まりの向上である。強誘電体容量素子の残留分極値が高くなるため、データ読み出し時の読み出しマージンが大きくなるからである。

【図面の簡単な説明】

【図1】本発明の強誘電体メモリセルの構造を示す平面図である。

【図2】図1のa a'線断面図である。

【図3】図1のb b'線断面図である。

【図4】本発明の強誘電体メモリセルの製造方法を示す断面図である。

【図5】本発明の強誘電体メモリセルの構造を示す断面図である。

【図6】本発明の強誘電体メモリセルの構造を示す断面図である。

【図7】本発明の強誘電体メモリセルの構造を示す断面図である。

【図8】本発明の強誘電体メモリセルを組み込んだチップレイアウトを示す平面図である。

【図9】強誘電体の分極特性の説明図である。

【図10】強誘電体の分極特性の測定実験に用いた電圧パルス列である。

【図11】実施例の実測データを示す図である。

【図12】実施例における実測データを示す図である。

【図13】従来の強誘電体メモリセルの構造を示す平面図である。

【図14】従来の強誘電体メモリセルの等価回路図である。

【図15】強誘電体の分極特性の説明図である。

【図16】図13のa a'線断面図である。

【図17】図13のb b'線断面図である。

【図18】従来の強誘電体メモリセルの製造方法を示す断面図である。

【符号の説明】

T r セルトランジスタ

B L ビット線

P L プレート線

W L ワード線

M C メモリセル

C f 強誘電体容量

1 p型Si基板

2 フィールド SiO_2

3 下部電極

4 強誘電体膜

5 上部電極

6 配線層

7 ゲート電極

8 n+拡散層

9 容量カバー膜

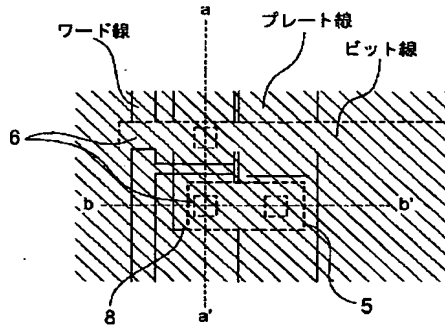
10 層間絶縁膜

11 保護膜

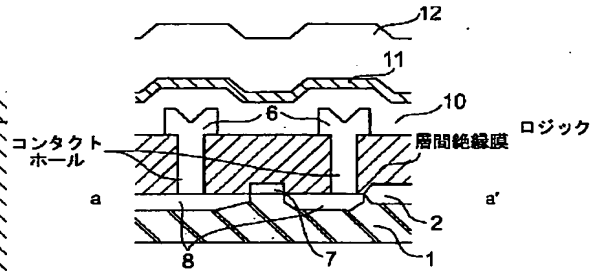
- 12 耐湿保護膜
13 ポリシリコンプラグ

- 14 層間絶縁膜
15 第2配線

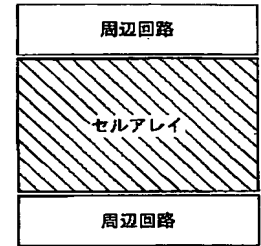
【図1】



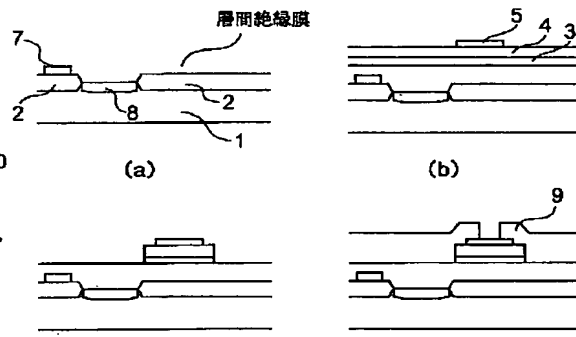
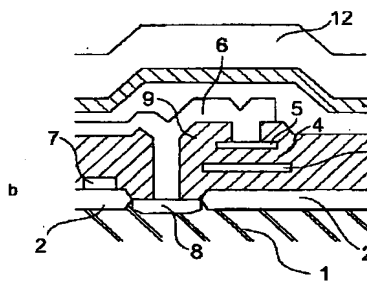
【図2】



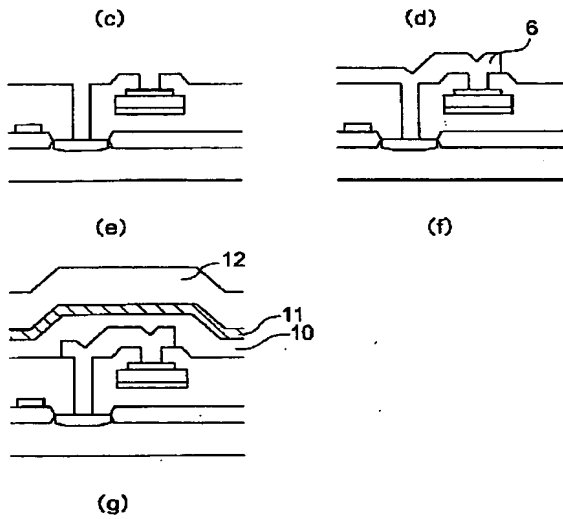
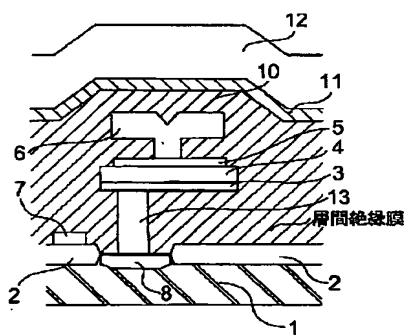
【図8】



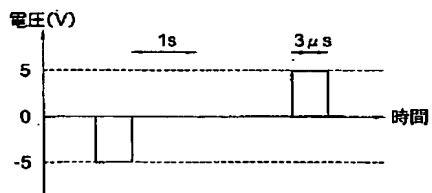
【図3】



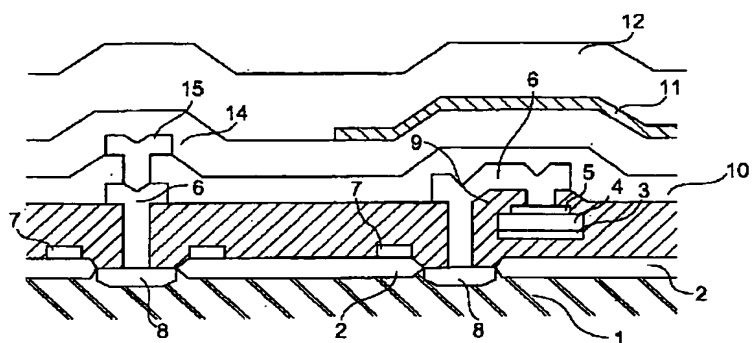
【図5】



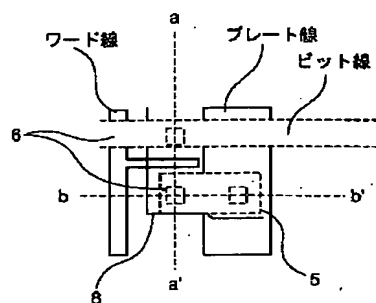
【図10】



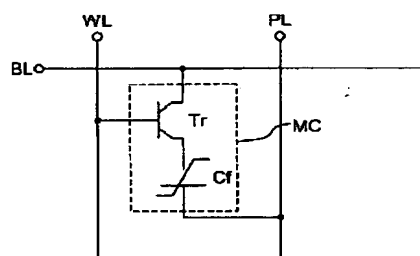
【図 6】



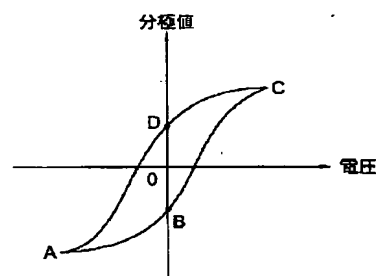
【図 13】



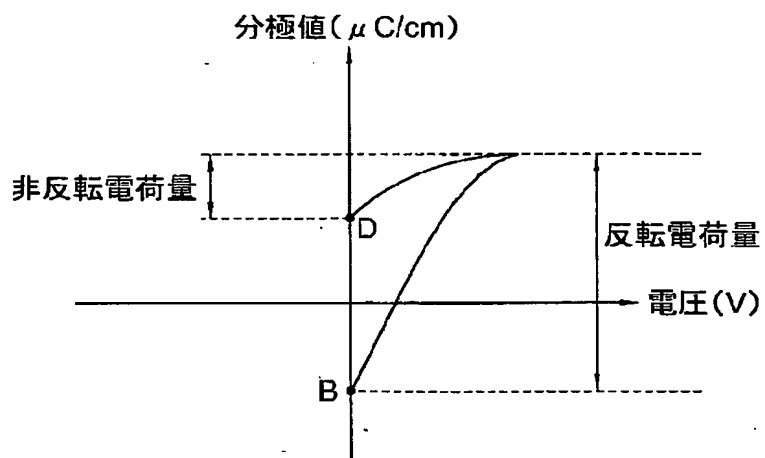
【図 14】



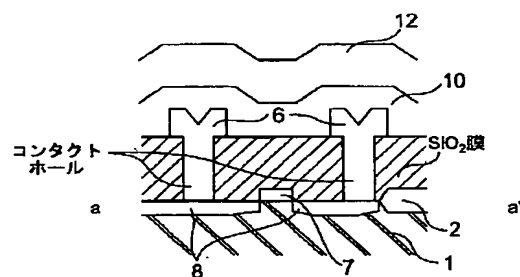
【図 15】



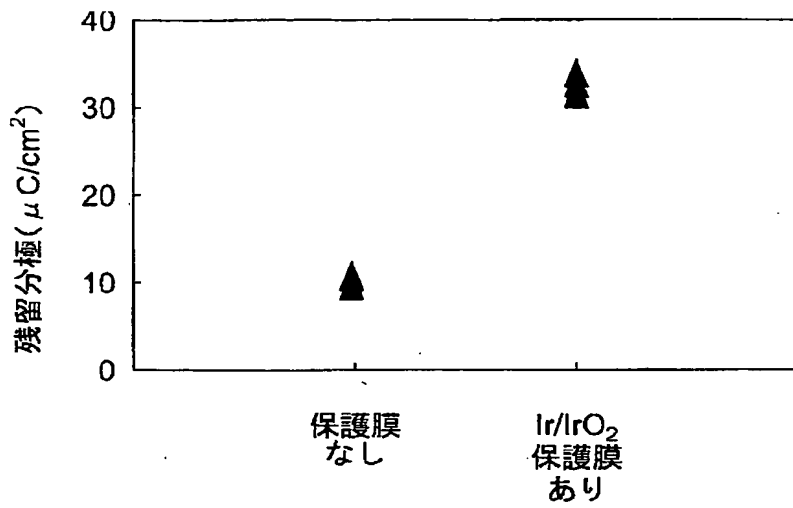
【図 9】



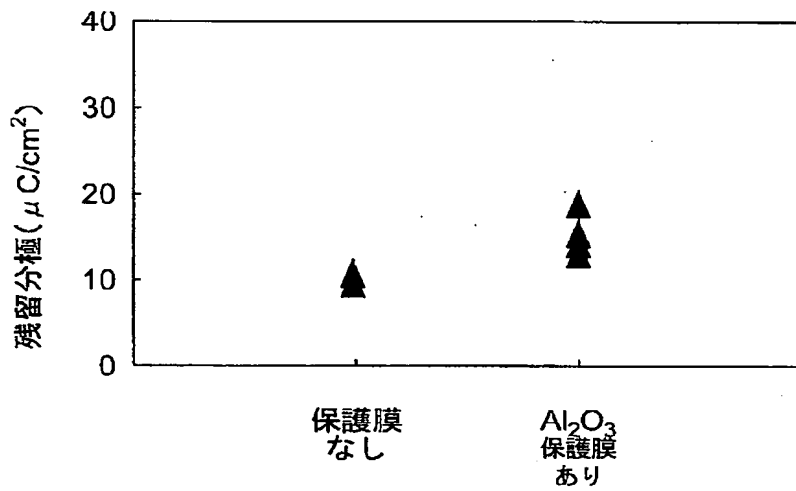
【図 16】



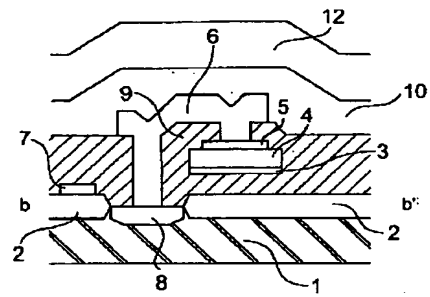
【図11】



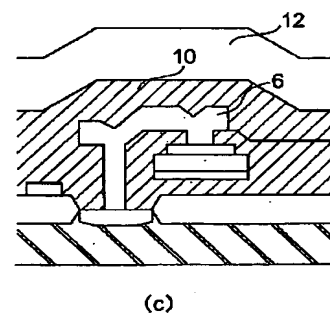
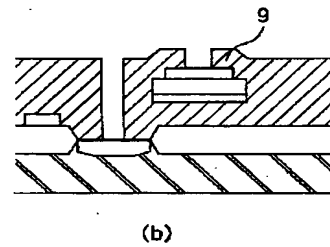
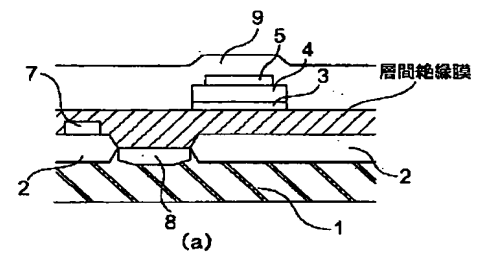
【図12】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコード (参考)

H O I L 29/792

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.